

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP411176150A

DOCUMENT-IDENTIFIER: JP 11176150 A

TITLE: MEMORY CONTROLLER AND IMAGE FORMATION APPARATUS

PUBN-DATE: July 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SUZUKI, TAKAYUKI	N/A
OGIWARA, KENSAKU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KONICA CORP	N/A

APPL-NO: JP09342890

APPL-DATE: December 12, 1997

INT-CL (IPC): G11C011/401, G03G015/00 , G06T001/60

ABSTRACT:

PROBLEM TO BE SOLVED: To use an auxiliary power supply exclusively to hold data (an electric charge) in a memory even when the main power supply of the memory is turned off by a short break or the like and to suppress the power consumption of the auxiliary power supply.

SOLUTION: An image formation apparatus is provided with an image acquisition means 1 which reads an image in an original, with a DRAM 2 which stores image data Din to be read by the image acquisition means 1 and which requires a refresh operation, with a memory controller 10 which controls the data write operation and the data read operation of the DRAM 2 and with an image reproduction means 3 which reproduces an image on the basis of image data Dout which is read by the memory controller 10. The memory controller 10 is provided with a backup battery 11, with a voltage detection circuit 12 which detects a power-supply voltage VCC to be supplied to the DRAM 2 from at least a main power supply 4 and with a DRAM control circuit 13 which controls the

backup operation of the DRAM 2 on the basis of a voltage detection signal S1 by the voltage detection circuit 12.

COPYRIGHT: (C)1999,JPO

DERWENT-ACC-NO: 1999-435193

DERWENT-WEEK: 199939

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Memory controller for image forming apparatus e.g. digital copier - has power supply switching circuit which shifts supplying of electric power to DRAM from main power supply to back-up battery to enable rewriting of data to DRAM when main power supply is disconnected

PATENT-ASSIGNEE: KONICA CORP[KONS]

PRIORITY-DATA: 1997JP-0342890 (December 12, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11176150 A	July 2, 1999	N/A	015	G11C 011/401

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11176150A	N/A	1997JP-0342890	December 12, 1997

INT-CL (IPC): G03G015/00, G06T001/60 , G11C011/401

ABSTRACTED-PUB-NO: JP 11176150A

BASIC-ABSTRACT:

NOVELTY - A power supply switching circuit (14) shifts the supplying of electric power to a dynamic random access memory (DRAM) (2) from a main power supply (4) to a back-up battery (11) to make a DRAM control circuit (13) to enable the rewriting of data to the DRAM when disconnection of the main power supply from the DRAM is detected. **DETAILED DESCRIPTION** - The DRAM control circuit regulates the writing and reading of data to and from the DRAM, respectively, based on the voltage detection information from a voltage detection circuit (12) which detects whether the main power supply or the back-up battery supplies voltage to the DRAM.

USE - For image forming apparatus e.g. digital copier.

ADVANTAGE - Consumption of back-up battery is suppressed it is principally used for the DRAM to hold data when main power supply is disconnected. Enables

utilization in the back-up circuit of the DRAM. Prevents erasure of image data read for image editing, thus efficiency of image forming apparatus is improved.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the image forming apparatus to which memory controller is applied. (2) DRAM; (4) Main power supply; (11) Back-up battery; (12) Voltage detection circuit; (13) DRAM control circuit; (14) Power supply switching circuit.

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: MEMORY CONTROL IMAGE FORMING APPARATUS DIGITAL COPY POWER SUPPLY

SWITCH CIRCUIT SHIFT SUPPLY ELECTRIC POWER DRAM MAIN POWER SUPPLY
BACK=UP BATTERY ENABLE REWRITING DATA DRAM MAIN POWER SUPPLY
DISCONNECT

DERWENT-CLASS: P84 S06 T01 U13 U14

EPI-CODES: S06-A16A; T01-J10A2; U13-C04B1A; U14-A03B4; U14-A09;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-324521

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176150

(43) 公開日 平成11年(1999) 7月2日

(51) IntCl.⁶

識別記号

F I

G 1 1 C 11/401

G 1 1 C 11/34

3 7 1 G

G 0 3 G 15/00

G 0 3 G 15/00

G 0 6 T 1/60

G 0 6 F 15/64

4 5 0 A

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願平9-342890

(22) 出願日 平成9年(1997)12月12日

(71) 出願人 000001270

コニカ株式会社

東京都新宿区西新宿1丁目26番2号

(72) 発明者 鈴木 貴行

東京都八王子市石川町2970番地 コニカ株式会社内

(72) 発明者 荻原 健作

東京都八王子市石川町2970番地 コニカ株式会社内

(74) 代理人 弁理士 山口 邦夫 (外1名)

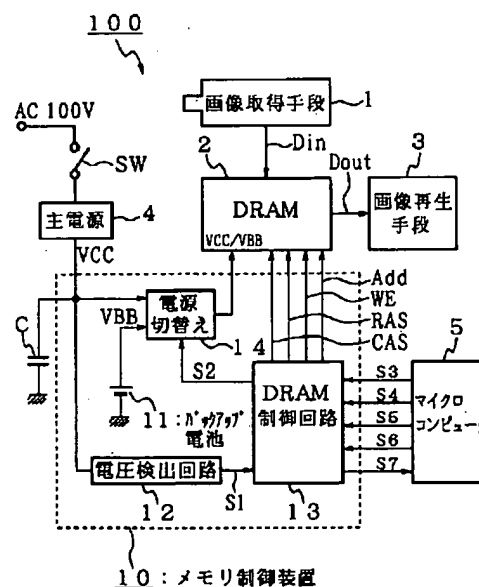
(54) 【発明の名称】 メモリ制御装置及び画像形成装置

(57) 【要約】

【課題】メモリの主電源が瞬断などでオフされたときでも、メモリのデータ（電荷）保持のために専ら補助電源を使用できるようにすると共に、この補助電源の電力消費を抑えられるようにする。

【解決手段】原稿の画像を読み取る画像取得手段1と、この画像取得手段1によって読み取られた画像データDinを記憶するリフレッシュ動作が必要なDRAM2と、このDRAM2のデータ書き込み及び読み出し制御を行うメモリ制御装置10と、このメモリ制御装置10によって読み出された画像データDoutに基づいて画像を再生する画像再生手段3とを備え、メモリ制御装置10はバックアップ電池11と、少なくとも主電源4からDRAM2へ供給される電源電圧VCCを検出する電圧検出回路12と、この電圧検出回路12による電圧検出信号S1に基づいてDRAM2のバックアップ制御を行うDRAM制御回路13とを有するものである。

第1の実施形態としてのメモリ制御装置10を応用した画像形成装置100の構成例



【特許請求の範囲】

【請求項1】 データ保持のためのリフレッシュ動作が必要なメモリを制御する装置であって、

補助電源と、

少なくとも主電源から前記メモリへ供給される電圧を検出する検出手段と、

前記検出手段による電圧検出情報に基づいて前記メモリのデータ書き込み及び読み出し制御を行う制御手段とを備え、

前記制御手段は、

前記メモリの主電源が断たれたことが検出されると、

前記メモリにデータを再書き込みした後に、

前記メモリの電源を主電源から補助電源に切り換えるようになされたことを特徴とするメモリ制御装置。

【請求項2】 原稿の画像を読み取る画像取得手段と、前記画像取得手段によって読み取られた画像データを記憶するリフレッシュ動作が必要なメモリと、

前記メモリのデータ書き込み及び読み出し制御を行うメモリ制御手段と、

前記メモリ制御手段によって読み出された画像データに基づいて画像を再生する画像再生手段とを備え、

前記メモリ制御手段は、

補助電源と、

少なくとも主電源から前記メモリへ供給される電圧を検出する電圧検出回路と、

前記電圧検出回路による電圧検出情報に基づいて前記メモリのバックアップ制御を行うバックアップ制御回路とを有することを特徴とする画像形成装置。

【請求項3】 前記メモリのバックアップ制御回路が設けられる場合であって、

前記バックアップ制御回路は、

前記メモリの主電源が断たれたことが検出されると、

前記メモリにデータを再書き込みした後に、

前記メモリの電源を主電源から補助電源に切り換えるようになされたことを特徴とする請求項2記載の画像形成装置。

【請求項4】 前記メモリのバックアップ制御回路が設けられる場合であって、

前記バックアップ制御回路は、

前記メモリの主電源オン後であって、前記メモリを通常動作に移行させる前のリフレッシュ動作を行うとき、

前記メモリの通常動作時のロウ・アドレス・ストロブ信号及びカラム・アドレス・ストロブ信号の周期に比べて前記リフレッシュ動作時のロウ・アドレス・ストロブ信号及びカラム・アドレス・ストロブ信号の周期を短く設定するようになされたことを特徴とする請求項2記載の画像形成装置。

【請求項5】 前記メモリ、前記画像取得手段及び前記メモリ制御手段が設けられる場合であって、

前記画像取得手段を監視する監視手段が設けられ、

前記画像取得手段が一定時間読み取り処理を停止したとき、

前記メモリ制御手段は、

前記メモリのロー・アドレス・ストロブ信号及びカラム・アドレス・ストロブ信号を一定の電位に固定するようになされたことを特徴とする請求項2記載の画像形成装置。

【請求項6】 前記メモリ、前記画像再生手段及びメモリ制御手段が設けられる場合であって、

10 前記画像再生手段を監視する監視手段が設けられ、

前記画像再生手段が一定時間画像再生処理を停止したとき、

前記メモリ制御手段は、

前記メモリのロー・アドレス・ストロブ信号及びカラム・アドレス・ストロブ信号を一定の電位に固定するようになされたことを特徴とする請求項2記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、原稿画像から取得した画像データを一旦メモリに蓄えて画像処理などを行うデジタル複写機に適用して好適なメモリ制御装置及び画像形成装置に関する。

【0002】詳しくは、一定時間毎にリフレッシュ動作が必要なメモリが設けられる場合であって、そのメモリの主電源が瞬断などでオフされたときに、このメモリにデータを再書き込みした後に、メモリの電源を主電源から補助電源に切り換えるようにして、メモリのデータ（電荷）保持のために専ら補助電源を使用できるようにすると共に、この補助電源の電力消費を抑えられるようにしたものである。

【0003】

【従来の技術】近頃、原稿画像から取得した画像データに基づいて画像形成を行うデジタル複写機が使用される場合が多くなってきた。この種の複写機では原稿の画像がCCD撮像装置等により読み込まれ、その原稿の画像データが一旦メモリに蓄えられる。そして、メモリに蓄えられた画像データはユーザの要求に応じて画像の縮小、拡大及び回転などの画像処理が施される。これにより、画像処理された画像データに基づいてその原稿の画像を所定の転写紙に複写することができる。

【0004】ところで、この種のデジタル複写機では原稿の画像データを一旦蓄積するために大容量のメモリが必要になる。このメモリにはSRAMまたはDRAMが適している。SRAMはフリップフロップ回路により構成されているので、電源が供給されている限り安定してデータを保持できる。しかし、SRAMは高価である。

【0005】そこで、デジタル複写機ではビット単価の安いDRAMを使用する場合が多い。DRAMは例えばデータ（電荷）を保持する容量と、この容量に関して電

荷を充・放電するMOSTランジスタとにより構成される。この容量に充電された電荷はMOSTランジスタのオフ時に約10ms程度保持されるが、それ以上は放電してしまう。そこで、データを保持するために、一定時間毎に電荷を補充（データを再書き込み）する動作が必要となる。この動作はリフレッシュと呼ばれている。従って、メモリの主電源が瞬断された場合には、データを継続して保持することができない。

【0006】つまり、メモリの主電源を断つときは補助電源としてのバックアップ電池に切り替える電源切り替え動作及びデータを再書き込みするリフレッシュ動作が必要となる。

【0007】

【発明が解決しようとする課題】この電源切り替え動作及びリフレッシュ動作を行わせるために、従来方式の画像形成装置にはメモリ制御装置が設けられ、例えばメモリの主電源が断れるとバックアップ電池に切り替えた後に、メモリのリフレッシュ動作が行われている。

【0008】従って、メモリのリフレッシュ動作を行う電力や、そのロー・アドレス・ストロブ信号及びカラム・アドレス・ストロブ信号を一定周期の電位に固定するために使用する電力をバックアップ電池から供給しなくてはならない。

【0009】このため、メモリのデータ（電荷）保持のために専らバックアップ電池を使用することができなくなる。これにより、バックアップ電池（以下補助電源ともいう）の電力消費が多くなるので、大容量の補助電源を備えなければならないという問題がある。

【0010】そこで、この発明はこのような従来の課題を解決したものであって、メモリの主電源が瞬断などでオフされたときでも、メモリのデータ（電荷）保持のために専ら補助電源を使用できるようにすると共に、この無駄な電力消費を抑えられるようにしたメモリ制御装置及び画像形成装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上述した課題は、データ保持のためのリフレッシュ動作が必要なメモリを制御する装置であって、補助電源と、少なくとも主電源からメモリへ供給される電圧を検出する検出手段と、この検出手段による電圧検出情報に基づいてメモリのデータ書き込み及び読み出し制御を行う制御手段とを備え、この制御手段はメモリの主電源が断たれたことが検出されると、メモリにデータを再書き込みを行った後に、メモリの電源を主電源から補助電源に切り換えるようになされたことを特徴とするメモリ制御装置によって解決される。

【0012】本発明のメモリ制御装置によれば、例えば、画像データを記憶中に、主電源が断たれた場合であって、そのメモリの主電源が断たれた時刻から、実際に主電源から補助電源に切り換えられる時刻に至る間にお

いて、主電源に設備された電解コンデンサなどの残存電荷を利用してメモリにデータを再書き込み（セルフリフレッシュ動作）させることができる。

【0013】これと共に、メモリの主電源が断たれた時刻に対して、実際に主電源から補助電源に切り換えられる時刻を遅らせることができる。従って、専らメモリのデータ（電荷）保持のために補助電源を使用できるので、補助電源の消費を抑えることができる。

【0014】これにより、突発的な瞬断などによって主電源がオフされた場合であっても、少ない設備容量の補助電源によりデータをバックアップすることができる。従って、このメモリ制御装置をDRAMのバックアップ回路などに応用することができる。

【0015】本発明の画像形成装置は原稿の画像を読み取る画像取得手段と、この画像取得手段によって読み取られた画像データを記憶するリフレッシュ動作が必要なメモリと、このメモリのデータ書き込み及び読み出し制御を行うメモリ制御手段と、このメモリ制御手段によって読み出された画像データに基づいて画像を再生する画像再生手段とを備え、メモリ制御手段は補助電源と、少なくとも主電源からメモリへ供給される電圧を検出する電圧検出回路と、この電圧検出回路による電圧検出情報に基づいてメモリのバックアップ制御を行うバックアップ制御回路とを有するものである。

【0016】本発明の画像形成装置によれば、上述したメモリ制御装置が応用されるので、例えば、メモリの主電源が断たれたことが電圧検出回路によって検出されると、メモリにデータを再書き込みを行った後に、メモリの電源を主電源から補助電源に切り換えることができる。

【0017】従って、主電源に設備された電解コンデンサなどの残存電荷を利用してメモリのデータ保持に移行する動作などを行わせることができる。これと共に、メモリの電荷保持のために専ら補助電源を使用できるので、補助電源の電力消費を抑えることができる。

【0018】これにより、突発的な瞬断などによって主電源が断たれた場合であっても、少ない設備容量の補助電源により画像データをバックアップすることができる。このことで、画像編集処理などのために読み込まれた貴重な画像データの消失を防止できる。従って、原稿の再読み取りなどが避けられるので、事務効率を向上させること、及び、原稿の汚れなどを防ぐことができる。

【0019】

【発明の実施の形態】続いて、この発明に係るメモリ制御装置及び画像形成装置の一実施形態について、図面を参照しながら説明をする。

【0020】（1）第1の実施形態

図1は第1の実施形態としてのメモリ制御装置10を応用した画像形成装置100の構成を示すブロック図である。

【0021】この実施形態ではリフレッシュ動作が必要なメモリが設けられる場合であって、このメモリの主電源が瞬断などでオフされたときに、データの再書き込みを行った後に、メモリの電源を主電源から補助電源に切り換えるようにして、データ（電荷）保持のために専ら補助電源を使用できるようにすると共に、無駄な電力消費を抑えられるようにしたものである。

【0022】この画像形成装置100には図1に示す画像取得手段1が設けられ、原稿の画像を読み取った後の画像データDinが出力される。この画像取得手段1にはリフレッシュ動作が必要なメモリとしてのDRAM（Dynamic-Random Access Memory）2が接続され、画像取得手段1によって読み取られた画像データDinが一時記憶される。DRAM2の出力段には画像再生手段3が接続され、DRAM2から読み出された画像データDoutに基づいて画像が形成される。

【0023】このDRAM2にはメモリ制御装置10が接続され、このDRAM2へのデータの書き込み及びDRAM2からのデータの読み出しが制御される共に、DRAM2のバックアップ制御が行われる。このメモリ制御装置10は補助電源としてのバックアップ電池11、電圧検出手段としての電圧検出回路12、バックアップ制御回路としてのDRAM制御回路13及び電源切り替え回路14を有している。

【0024】この電源切り替え回路14の一方の入力段にはDRAM2の主電源4が接続される。主電源4の出力電圧は5V程度である。主電源4には数千〜数万μF程度と比較的大きな容量Cが接続される。電源切り替え回路14の他方の入力段にはバックアップ電池11が接続され、DRAM2でデータ保持に最低必要な電圧が供給される。バックアップ電池11にはDRAM2のメモリ容量にもよるが、3V、90mAh程度のNi-Cd電池（二次電池）が使用される。

【0025】主電源4の入力段には電源スイッチSWが接続され、その出力段には電圧検出回路12が接続されている。この電源スイッチSWをオンすると、主電源4からDRAM2へ電源電圧VCCが供給されると共に、この電圧を検出した後の電圧検出信号S1が電圧検出回路12から出力される。この電圧検出回路12の出力段にはDRAM制御回路13が接続され、この例では電圧検出信号S1に基づいてDRAM2の書き込み読み出し制御及びそのバックアップ制御が行われる。

【0026】DRAM制御回路13には図2に示すタイミング発生回路31が設けられ、例えば上位の制御手段となるマイクロコンピュータ5からのリフレッシュ要求信号S3、セルフリフレッシュ要求信号S4、ライト要求信号S5、リード要求信号S6、電圧検出回路12からの電圧検出信号S1及びクロック信号CLKに基づいて、アクセス禁止信号S7、ダミーアクセス設定信号S8、ライトイネーブル信号WE及びアドレス制御信号S

10等が発生される。

【0027】リフレッシュ要求信号S3は通常動作時などにおいて、マイクロコンピュータ5からDRAM2に対してリフレッシュ動作を要求する信号である。セルフリフレッシュ要求信号S4は通常動作移行前や瞬断時などにおいて同じくDRAM2に対してセルフリフレッシュを要求する信号である。ライト要求信号S5は通常動作にマイクロコンピュータ5からDRAM2に対してデータの書き込みを要求する信号であり、リード要求信号S6は同様にDRAM2に対してデータの読み出しを要求する信号である。

【0028】このタイミング発生回路31内にはリフレッシュ制御部32が設けられる。リフレッシュ制御部32は図3に示すワンショットタイマ21、ダミーアクセスカウンタ22及びリフレッシュカウンタ23を有している。

【0029】ワンショットタイマ21では通常動作移行前に、クロック信号CLK、セルフリフレッシュ要求信号S4及び電圧検出信号S1に基づいてアクセス禁止信号S7が発生される。このクロック信号CLKはDRAM2のタイミング制御をするための基準信号である。アクセス禁止信号S7は書き込み読み出し制御回路33及びダミーアクセスカウンタ22に出力される。この信号S7によって、通常動作移行前のDRAM2に対する一切のアクセスが禁止される。

【0030】ダミーアクセスカウンタ22ではクロック信号CLK及びアクセス禁止信号S7に基づいてダミーアクセス設定信号S8が発生される。この信号S8はリフレッシュカウンタ23及び書き込み読み出し制御回路33に出力される。この信号S8によって、ダミーアクセスサイクルが設定され、DRAM2がリフレッシュされる。

【0031】この例のダミーアクセスサイクルでは、通常動作時のロー・アドレス・ストロブ信号（以下RAS信号という）及びカラム・アドレス・ストロブ信号（以下CAS信号という）の周期に比べてリフレッシュ動作時のRAS信号及びCAS信号の周期が短く設定される。

【0032】また、リフレッシュカウンタ23ではクロック信号CLK及びダミーアクセス設定信号S8に基づいて初期化終了信号S9が発生される。この信号S9はマイクロコンピュータ5に出力される。この信号S9によってダミーアクセスサイクルが終了したことを認識できる。

【0033】図2に戻ってタイミング発生回路31の出力段には書き込み読み出し制御回路33が接続され、アクセス禁止信号S7及びダミーアクセス設定信号S8に基づいてRAS信号及びCAS信号が発生される。このRAS信号及びCAS信号はDRAM2に出力される。

【0034】この書き込み読み出し制御回路33の出力

段には第1の二入力否定論理積回路(以下NAND回路という)35が接続され、このRAS信号及びCAS信号の否定論理積を採った後のセルフリフレッシュステータス信号S11が発生される。このNAND回路35の出力段には第2の二入力否定論理積回路(以下NAND回路という)37が接続され、上述のセルフリフレッシュステータス信号S11及び反転電圧検出信号S1バー(上線を省略する)の否定論理積を採った後の電源切り替え信号S2が発生される。反転電圧検出信号S1バーは電圧検出信号S1をインバータ36によって反転することにより得られる。この信号S2は電源切り替え回路14に出力される。

【0035】これらの信号S2、RAS、CAS信号の他にタイミング発生回路31ではクロック信号CLK、ライト要求信号S5及びリード要求信号S6に基づいてライトイネーブル信号WE及びアドレス発生信号S10などが発生される。この信号WEがDRAM2に出力されると、DRAM2へのデータの書き込みが許可される。

【0036】また、タイミング発生回路31の出力段にはアドレス発生部34が接続され、アドレス制御信号S10に基づいてダミーアドレスAdd'及び画像データDinの格納場所を指定するアドレスAddが発生される。例えば、通常動作移行前に、アドレス制御信号S10によってダミーアクセスサイクルに必要なダミーアドレスAdd'が発生されると、このアドレスAdd'がDRAM2に出力される。通常動作時のアドレスAddはマイクロコンピュータ5から支持される場合もある。

【0037】次に、図4～図6を参照しながらメモリ制御装置10を応用した画像形成装置100の電源オン時、通常動作時及び電源オフ時の各々の動作を説明する。

【0038】① 電源オン時の動作

図4は本実施の形態としての画像形成装置100の動作例(電源オン時)を示すタイムチャートである。この例で、図1に示した電源スイッチSWがオフのときはDRAM2がバックアップ電池11によってバックアップされた状態となっている。そして、図4Aで電源スイッチSWがオンされると、図4BでAC100Vが主電源4に供給される。

【0039】この主電源4によって図4Cに示す電源電圧VCCが立ち上げられるので、電源電圧VCCは電圧検出回路12によって検出される。従って、例えばある閾値電圧Vthを越える電圧が検出されると、電圧検出回路12では図4Dに示す電圧検出信号S1が立ち上げられる。

【0040】このハイ・レベルの電圧検出信号S1がDRAM制御回路13に出力されると、DRAM制御回路13では図4Lに示すロー・レベルのRAS信号及び図4Mに示すロー・レベルのCAS信号を入力したNAN

D回路35によって、図4Fに示すハイ・レベルのセルフリフレッシュステータス信号S11が立ち上げられる。このハイ・レベルの信号S11及び反転電圧検出信号S1バーを入力したNAND37では、図4Gに示す電源切り替え信号S2が立ち上げられる。

【0041】このハイ・レベルの信号S2が電源切り替え回路14に出力されると、この電源切り替え回路14によってバックアップ電池11から主電源4へ切り替えられる。従って、DRAM2の電源は図4Hに示す電圧VBBからVCCに切り替わる。その後、マイクロコンピュータ5によって、図4Eに示すセルフリフレッシュ要求信号S4が立ち上がり、このハイ・レベルの信号S4がDRAM制御回路13に出力される。この信号S4を入力したタイミング発生回路31では図4Iに示すアクセス禁止信号S7が書き込み読み出し制御回路33に出力される。これと共に、図4Jに示すダミーアクセス設定信号S8が書き込み読み出し制御回路33に出力される。

【0042】この信号S8によって、予め規定されたデータ再書き込み回数(ダミーアクセスサイクル) $n=1024$ 回に関して、例えば、 200ns に1回の割合で電荷を充電する方式が採られ、その回数 n に関し $n-4$ 、 $n-3$ 、 $n-2$ 、 $n-1$ 、 n が設定され、その設定回数に基づいて、書き込み読み出し制御回路33では図4Lに示すRAS信号及び図4Mに示すCAS信号が発生される。このRAS信号及びCAS信号はDRAM2に出力されると共に、タイミング発生回路31によって立ち上げられた図4Nに示すライトイネーブル信号WEもDRAM2に出力される。

【0043】これにより、通常動作に移行する前のセルフリフレッシュ動作が行われる。この規定回数のデータ書き込みが終了してDRAM2の初期化が終了すると、図4Kで初期化終了信号S9が立ち上がる。このハイ・レベルの信号S9がマイクロコンピュータ5に通知されるので、初期化終了を確認したマイクロコンピュータ5からライト要求信号S5がDRAM制御回路13に出力される。このライト要求信号S5に基づいてDRAM2に画像データDinが書き込まれる。

【0044】本実施の形態ではDRAM2の初期化を行うときに、通常動作時のRAS信号及びCAS信号の周期に比べてリフレッシュ動作時のRAS信号及びCAS信号の周期を短く設定しているため、DRAM2の初期化時間(ウォームアップ時間)を従来方式に比べて短縮することができる。因みに、従来方式ではデータ書き込み回数 $n=1024$ 回に関して、 $15\mu\text{s}$ に1回の割合で電荷を充電する方式を採っていたので、ウォームアップ時間が長い。従って、本実施の形態としての画像形成装置100の立ち上げを早めることができる。

【0045】これにより、例えばAC電源が瞬断され後の再電源立ち上げ時などにおいて、DRAM2の初期化

時間を短縮できるので、画像形成装置100を早期に復帰させることができる。

【0046】② 通常動作時

図5は本実施の形態としての画像形成装置100の動作例(通常動作時)を示すタイムチャートである。この例で、図1に示した電源スイッチSWは既にオンされているので、主電源4によってDRAM2が駆動されている状態である。この場合には、図5Aに示す電圧検出信号S1がハイ・レベル固定で、図5Bに示すセルフリフレッシュステータス信号S11がハイ・レベル固定で、図5Cに示す電源切り替え信号S2もハイ・レベル固定で、図5Gに示すセルフリフレッシュ要求信号S4もハイ・レベル固定である。

【0047】例えばマイクロコンピュータ5からDRAM制御回路13へ図5Dに示すライト要求信号S5が入力されると、DRAM制御回路13の書き込み読み出し制御回路33ではクロック信号CLK及び図5Kに示すアドレスAddに基づいて図5Hに示すRAS信号及び図5Iに示すCAS信号が発生される。このRAS信号及びCAS信号はタイミング発生回路31によって立ち上げられた、図5Jに示すライトイネーブル信号WEと共にDRAM2に出力される。これにより、図5Lに示す画像データDinがDRAM2に書き込まれる。

【0048】また、マイクロコンピュータ5からDRAM制御回路13へ図5Eに示すリード要求信号S6が入力されると、書き込み読み出し制御回路33ではクロック信号CLK及びアドレスAddに基づいて図5Hに示すRAS信号及び図5Iに示すCAS信号が発生され、このRAS信号及びCAS信号に基づいて、DRAM2から図5Lに示す画像データDoutが読み出される。

【0049】その後、マイクロコンピュータ5からDRAM制御回路13へ図5Fに示すリフレッシュ要求信号S3が入力されると、書き込み読み出し制御回路33ではクロック信号CLK及びアドレスAddに基づいて図5Hに示すRAS信号及び図5Iに示すCAS信号が発生され、このRAS信号及びCAS信号に基づいて、DRAM2のリフレッシュ動作が行われる。

【0050】これにより、リフレッシュ後の画像データDoutを図5Eに示すリード要求信号S6に基づいてDRAM2から読み出すことができる。

【0051】③ 電源オフ時の動作

図6は本実施の形態としての画像形成装置100の動作例(電源オフ時)を示すタイムチャートである。この例では、画像データDinをDRAM2に読み込み中に、例えば商用電源の100Vが瞬断などによって主電源4がオフされた場合や、電源スイッチSWを正常にオフした場合を想定している。いずれの場合であっても、DRAM2の主電源4が断たれたことが電圧検出回路12によって検出されると、DRAM制御回路13によってDRAM2にデータが再書き込みされ、その後、DRAM

2の電源が主電源4からバックアップ電池11に切り換えられる。

【0052】すなわち、図1に示した電源スイッチSWがオンのときは通常動作時で説明したように、DRAM2が主電源4によって駆動されている状態である。そして、図6Aの時刻txで電源スイッチSWがオフ又は、瞬断などによって電源オフされると、図6BでAC100Vが主電源4に供給されなくなる。

【0053】この電源オフによって電源電圧VCCは図6Cに示すように、徐々に降下し始める。この電源電圧VCCは、主電源4の出力に接続した容量Cが大きいほど緩やかに降下する。一方で、この電源電圧VCCが閾値電圧Vthよりも下がったことが検出されると、電圧検出回路12では図6Dに示す電圧検出信号S1が立ち下げられる。このロー・レベルの電圧検出信号S1はDRAM制御回路13に出力される。

【0054】他方で、電源オフによってマイクロコンピュータ5からの図6Eに示すセルフリフレッシュ要求信号S4及び図6Kに示す初期化終了信号S9が立ち下がる。このロー・レベルのセルフリフレッシュ要求信号S4が、主電源4の容量Cによって動作するDRAM制御回路13に出力されると、この信号S4を入力したタイミング発生回路31では図6Iに示すアクセス禁止信号S7が書き込み読み出し制御回路33に出力される。これと共に、図6Jに示すダミーアクセス設定信号S8が書き込み読み出し制御回路33に出力される。

【0055】この信号S8によって書き込み読み出し制御回路33では図6Lに示すRAS信号及び図6Mに示すCAS信号がハイ・レベルからローレベルに立ち下げられる。このRAS信号及びCAS信号はDRAM2に出力される。これにより、主電源4からバックアップ電池11へ切り替わる前のセルフリフレッシュ動作が行われる。

【0056】DRAM制御回路13では図6Lに示すロー・レベルのRAS信号及び図6Mに示すロー・レベルのCAS信号を入力したNAND回路35によって、図6Fに示すセルフリフレッシュステータス信号S11が立ち下げられる。このロー・レベルの信号S11及び反転電圧検出信号S1バーを入力したNAND37では、図6Gに示す電源切り替え信号S2を立ち下げる。

【0057】このロー・レベルの電源切り替え信号S2が電源切り替え回路14に出力されると、この電源切り替え回路14によって主電源4からバックアップ電池11へ切り替えられる。従って、DRAM2の電源はこの時点tx1で、図6Hに示す電圧VCCからVBBに切り替えられる。

【0058】このように、本実施の形態としてのメモリ制御装置10を応用した画像形成装置100によれば、バックアップ電池11、電圧検出回路12、DRAM制御回路13及び電源切り替え回路14が設けられ、電圧

11

検出回路12によってDRAM2の主電源4が断たれたことが検出されると、DRAM2にデータを再書き込みした後に、DRAM2の電源を主電源4からバックアップ電池11へ切り替えるようになされたものである。

【0059】従って、DRAM2の主電源4が断たれた時刻 t_x から、実際に主電源4からバックアップ電池11に切り換えられる時刻 t_1 に至る間 $T(=t_1-t_x)$ において、主電源4に設備された電解コンデンサCなどの残存電荷を利用してDRAM2にデータを再書き込み（セルフリフレッシュ動作）させることができる。

【0060】これと共に、DRAM2の主電源4が断たれた時刻 t_x に対して、実際に主電源4からバックアップ電池11に切り換えられる時刻 t_1 を遅らせることができる。従って、専らDRAM2のデータ（電荷）保持のためにバックアップ電池11を使用できるので、バックアップ電池11の消費を抑えることができる。

【0061】これにより、突発的な瞬断などによって主電源4が断たれた場合であっても、少ない設備容量のバックアップ電池11により画像データDinをバックアップすることができる。このことで、画像編集処理などのために読み込まれた貴重な画像データDinの消失を防止できる。従って、原稿の再読み込みなどが避けられるので、事務効率を向上させること、及び、原稿の汚れなどを防ぐことができる。

【0062】(2) 第2の実施形態

図7は第2の実施形態としてのメモリ制御装置10を応用した画像形成装置200の構成を示すブロック図である。この例では画像取得手段1又は画像再生手段3を監視するために監視手段を設け、これらの画像取得手段1が一定時間読み取りや、又は、画像再生手段3が一定時間画像再生処理を停止したときに、DRAM2をスリープモードに移行させて電力消費を低減できるようにしたものである。なお、第1の実施形態と同じ名称及び同じ記号のものは同じ機能を有するため、その説明を省略する。

【0063】この画像形成装置200には図7に示す監視手段としての動作確認センサ6が設けられ、例えば画像取得手段1が一定時間読み取りを停止したときに、画像処理監視信号S15が発生される。この例では転写紙搬送系の駆動部が停止したかを検出したり、CCD撮像装置などのスキャナ駆動系が停止したかを検出するハード的なセンサを想定している。

【0064】勿論、画像データDinが一定時間、DRAM2に書き込まれなかったり、一定時間、画像データDoutが読み出されなかったことをソフトウェアプログラムによって監視し、これに基づいて画像処理監視信号S15が発生するようにしてもよい。いずれの場合にも、この画像処理監視信号S15はセンサ6からマイクロコンピュータ5へ出力される。そして、この画像処理監視信号S15に基づくマイクロコンピュータ5の制御によって画

12

像形成装置200が低消費電力モードに移行するようになされたものである。

【0065】図8は画像形成装置200の低消費電力モード時の動作を示すタイムチャートである。この例では、図1に示した電源スイッチSWがオンされている場合であって、データが一定時間、DRAM2に書き込まれなかったり、一定時間、データが読み出されなかったときに、低消費電力モードに移行するものである。この場合も、DRAM2は主電源4によって駆動されており、図8Bに示す電圧検出信号S1がハイ・レベル固定で、図8Cに示すセルフリフレッシュステータス信号S11がハイ・レベル固定で、図8Dに示す電源切り替え信号S2もハイ・レベル固定である。

【0066】しかし、図8Eに示すライト要求信号S5の入力があったから一定時刻が経過し、動作確認センサ6によって画像処理監視信号S15が立ち上げられると、図8Aに示すハイ・レベルの画像処理監視信号S15がマイクロコンピュータ5へ出力される。マイクロコンピュータ5では画像処理監視信号S15に基づいてセルフリフレッシュ要求信号S4がハイ・レベルからロー・レベルに立ち下げられる。このロー・レベルのセルフリフレッシュ要求信号S4がDRAM制御回路13に出力されると、このDRAM制御回路13ではセルフリフレッシュ要求信号S4に基づいてDRAM2が低消費電力モードに移行するようになる。

【0067】このモードでは主電源4はオフされていないので、DRAM2及びDRAM制御回路13は主電源4によって動作する。つまり、セルフリフレッシュ要求信号S4を入力したタイミング発生回路31では図8Lに示すアクセス禁止信号S7が書き込み読み出し制御回路33に出力される。これと共に、図8Mに示すダメージアクセス設定信号S8が書き込み読み出し制御回路33に出力される。

【0068】この信号S8によって書き込み読み出し制御回路33では図8Iに示すRAS信号及び図8Jに示すCAS信号がハイ・レベルからローレベルに立ち下げられる。このRAS信号及びCAS信号はDRAM2に出力される。

【0069】このとき、DRAM制御回路13ではいずれもロー・レベルのRAS信号及びCAS信号を入力したNAND回路35によって、図8Fに示すセルフリフレッシュステータス信号S11が立ち上がったままである。このハイ・レベルの信号S11及び反転電圧検出信号S1バーを入力したNAND回路37では、図8Dに示す電源切り替え信号S2はハイ・レベルのままである。

【0070】これにより、DRAM2の電源が主電源4からバックアップ電池11へ切り替わることなく、低消費電力モードにおけるセルフリフレッシュ動作を行うようになる。このモードではDRAM制御回路13がDR

AM2のRAS信号及びCAS信号を一定の電位に固定するように制御する。この制御によって、電荷の補充周期が通常動作時に比べて大幅に長くなる。この補充周期が通常動作時に比べて長くなると、DRAM2における電力消費が通常動作に比べて大幅に少なくなる。その後、画像処理監視信号S15が立ち下がると、低消費電力モード（以下スリープモードともいう）が解除され、セルフリフレッシュ後の画像データDoutを読み出すことができる。

【0071】このように、本実施の形態によれば、画像取得手段1を監視する動作監視センサ6が設けられ、この画像取得手段1が一定時間画像の読み取り処理を停止したときに、マイクロコンピュータ5に画像処理監視信号S15が出力されるようにしたものである。従って、DRAM2をいわゆるスリープモードに移行させることができ、原稿画像が供給されない場合の画像形成装置200の消費電力を削減することができる。

【0072】なお、本実施の形態では動作確認センサ6によって画像取得手段1を監視する場合について説明したが、これに限らず画像再生手段3を監視するようにしてもよい。これによっても同様な効果が得られる。

【0073】(3) 画像形成装置の実施例
図9は本実施の形態としての画像形成装置100を応用したデジタル複写機300の全体構成例を示すブロック図である。この例では原稿の表裏（両面）の画像を転写紙30の表裏にコピー可能な複写機300について説明する。

【0074】この複写機300は図9に示すデータバス8を有しており、画像データDin/Doutや、リフレッシュ要求信号S3、セルフリフレッシュ要求信号S4、ライト要求信号S5、リード要求信号S6、初期化終了信号S9等の制御信号が転送される。このデータバス8には操作部7が接続され、コピー枚数、拡大、縮小率及びコピー用紙（A3、A4、A4R、B4、B5、B5R）等の選択や、その指定ができるようになされている。

【0075】図1に示した画像取得手段1としては、図9に示す自動原稿給紙装置（ADF）40、画像読み取り部50及び画像信号処理部15が設けられる。この自動原稿給紙装置40は電気的にデータバス8に接続され、操作部7の指示によって原稿の両面の画像が読み取られるようにその自動給紙が行われる。

【0076】このデータバス8には画像信号処理部15を介して画像読み取り部50が接続される。画像読み取り部50では原稿の画像が読み取られ、その画像取得信号Sinが画像信号処理部15に出力される。画像信号処理部15では画像取得信号Sinをデジタルデータに変換した後の画像データDinがデータバス8を通してDRAM2に一時格納される。このDRAM2は上述したメモリ制御装置10によって制御される。

【0077】また、図1に示した画像再生手段3としては記録画像処理部16、画像書き込み部60及び画像形成部70が設けられる。記録画像処理部16は上述のデータバス8に接続され、DRAM2から読み出された画像データDoutを記録（画像再生）するために、例えば、拡大、回転、編集などの画像処理が行われる。

【0078】この記録画像処理部16の出力段には光学駆動系を有した画像書き込み部60が接続され、光学駆動系によって感光体ドラムに原稿の静電潜像が形成される。また、画像書き込み部60の下方には画像形成部70が設けられ、感光体ドラムの静電潜像を現像し転写紙に転写した後のトナー像が定着される。この画像形成部70については図10で詳述する。

【0079】更に、上述したデータバス8にはマイクロコンピュータ5が接続され、画像取得手段1、画像再生手段3、操作部7及びメモリ制御装置10の入出力が中央制御される。例えば、マイクロコンピュータ5はモード解析部81、管理データ保持部82、ADF制御部83、読み取り制御部84、記録制御部85及びフィニッシャ制御部86を有しており、これらのモード解析部81、管理データ保持部82及び各々の制御部83～86がデータバス8に接続される。

【0080】モード解析部81では操作部7からの選択や指定操作から解析した操作モードが決定される。管理データ保持部82では操作モードに基づく画像の読み取り制御やその記録制御に必要な管理データが保持される。ADF制御部86では操作モードに基づいて自動原稿給紙装置40の入出力が制御され、読み取り制御部84ではモード解析部81の解析結果を受けて画像読み取り部50の入出力が制御される。記録制御部85ではモード解析部81の解析結果を受けて記録画像処理部16の入出力が制御され、フィニッシャ制御部86ではモード解析部81の解析結果を受けてフィニッシャ部90の入出力が制御される。

【0081】図10は複写機300の断面構成例を示す図である。上述した自動原稿給紙装置40は図10に示す原稿載置部41、ローラ42a、ローラ42b、ローラ43、反転ローラ44、反転部45及び排紙皿46を有している。

【0082】また、画像読み取り部50は第1のプラテンガラス51、第2のプラテンガラス52、光源53、ミラー54、55、56、結像光学系57、CCD撮像装置58及び図示しない光学駆動系を有している。画像形成部70は感光体ドラム71、帯電部72、現像部73、転写部74、分離部75、クリーニング部76、搬送機構77及び定着部78を有している。

【0083】例えば、原稿載置部41には原稿の第1頁目の表面を上にした状態で、複数枚の原稿20が載置されている。そして、ADF制御部83の制御によってローラ42a及びローラ42bが駆動されると、これらの

15

ローラ42a及びローラ42bを介して繰り出された原稿20の1枚目がローラ43を介して搬送される。

【0084】このとき、読み取り制御部84から制御コマンドによって、画像読み取り部50の光源53から原稿20の画像面に光が照射される。この反射光はミラー54、55、56によって案内され、その反射光が結像光学系57を介してCCD撮像装置58に取り込まれる。これにより、CCD撮像装置58の受光面に原稿20の画像が結像される。

【0085】ここで、プラテンガラス51上に原稿20の読み取り面を下に向けた状態で、その原稿20が原稿載置部41に載置された場合には光学駆動系はプラテンガラス51に沿って、画像読み取り部50を走査することでCCD撮像装置58に取り込まれる。

【0086】そして、読み取られた原稿20の画像取得信号SinはCCD撮像装置58から図9に示した画像信号処理部15に転送される。画像信号処理部15では画像取得信号Sinをデジタルデータに変換した後の画像データDinがデータバス8を通してDRAM2に一時格納される。

【0087】このDRAM2は上述したメモリ制御装置10によって制御される。従って、瞬断などによって主電源がオフされても、画像データDinをバックアップできるので、画像編集処理などのために読み込まれた貴重な画像データDinの消失を防止できる。なお、自動原稿給紙装置40により原稿20が自動給紙される操作モードの場合には、ローラ43の周囲を原稿20が回るようになる。この場合には第2のプラテンガラス52下に光源53とミラー54とが固定された状態で、原稿画像が画像読み取り部50によって読み取られる。

【0088】そして、原稿20の第1頁目が読み取られると、今度は反転ローラ44を介して再度、ローラ43を用いた巻き取り操作が行われ、原稿裏面の画像が画像読み取り部50で読み取られ、その画像取得信号Sinが画像信号処理部15に出力される。

【0089】このようにして、表面と裏面の画像が読み取られた原稿20は、再度反転ローラ44で反転されて表面を下に向けた状態で、排紙皿46に積載されて行く。これと共に画像読み取り部50で、読み取られた画像取得信号Sinは画像信号処理部15で、デジタルの画像データDinに変換された後に、図9に示したDRAM2に格納される。

【0090】一方、転写紙30が積載されている給紙カセット30a又は30bから、転写紙30が繰り出されて画像形成部70に給送される。転写紙30はその入り口のレジストローラ61で同期が採られた後に感光体ドラム71に、より近接する。

【0091】この状態で、DRAM2から読み出された画像データDoutは記録画像処理部16で画像処理された後に、画像書き込み部60に出力される。画像データ

16

Doutは各々の原稿20の裏面から先に記録画像処理部16から読み出される。画像書き込み部60内では、画像データDoutに応じたレーザ光がレーザダイオードから感光体ドラム71上へ照射されるので、この感光体ドラム71に原稿20の静電潜像が形成される。この静電潜像は現像部73で現像された後に、感光体ドラム71上にトナー像として形成される。

【0092】このトナー像は感光体ドラム71の下部に設けられた転写部74によって転写紙30に転写される。このとき、転写紙30は感光体ドラム71に吸着される。そして、感光体ドラム71に吸着された転写紙30は分離部75によって感光体ドラム71から分離される。その後、感光体ドラム71から分離された転写紙30は搬送機構77を介して定着部78に送出され、トナー像が熱と圧力とにより定着される。これにより、転写紙30に原稿裏面の画像（第2頁目画像）が形成される。

【0093】また、トナー像が定着された転写紙30はガイド91を介して下方に搬送され、反転部93に送出される。次に反転部93に送出された転写紙30は反転ローラ92で、再度上方向に繰り出され、給紙カセット30a上に設けられた反転搬送路94を通して再度、画像形成部70に転送される。

【0094】上述した原稿20の裏面の画像形成が終了した画像形成部70では、感光体ドラム71に残留付着したトナーがクリーニング部76により除去され、次の画像形成に対処すべく待機している。

【0095】この状態で、転写紙30の表面（未だ画像形成されていない面）を上にして、転写紙30がレジストローラ61を介して画像形成部70に送出される。画像形成部70では感光体ドラム71に原稿表面の静電潜像が形成され、この静電潜像が現像部73で現像されるので、感光体ドラム71上に原稿表面のトナー像が形成される。

【0096】このトナー像は転写部74によって転写紙30に転写されるので、その表面に第1頁目の静電潜像が形成される。感光体ドラム71に吸着された転写紙30は分離部75によって感光体ドラム71から分離された後に、搬送機構77を介して定着部78に送出され、トナー像が熱と圧力とにより定着される。これにより、転写紙30に原稿表面の画像（第1頁目画像）を形成することができる。

【0097】その後、転写紙30の裏面と表面とに画像形成が完了した転写紙30はフィニッシャ部90で出力形態（ソータ機能など操作指示）に対応して、そのまま機外に排出されるか、もしくは、再度反転部93で反転されて排出ローラ95により機外に排出される。これにより、原稿20の表裏（両面）の画像を転写紙30の表裏にコピーすることができる。

【0098】このようにして、画像形成装置100を応

用したデジタル複写機300によれば、メモリ制御装置10によってバックアップ制御されるDRAM2が設けられたものである。

【0099】従って、瞬断などによって主電源がオフされた場合であっても、DRAM2内の画像データDinをバックアップできるので、画像編集処理（拡大、縮小、両面コピー）などのために読み込まれた貴重な画像データDinの消失を防止できる。これにより、高信頼度かつ高画像編集機能を備えたデジタル複写機300を提供することができる。

【0100】

【発明の効果】以上説明したように、本発明のメモリ制御装置によれば、主電源からメモリへ供給される電圧の情報に基づいて、データ書き込み及び読み出し制御を行う制御手段が設けられ、メモリの主電源が断たれたことが検出されると、メモリにデータを再書き込みを行った後に、メモリの電源を主電源から補助電源に切り換えるようになされたものである。

【0101】この構成によって、瞬断などによって主電源がオフされた場合であっても、この主電源に設備された電解コンデンサなどの残存電荷を利用してメモリのセルフリフレッシュ動作を行わせることができる。これと共に、メモリのデータ（電荷）保持のために専ら補助電源を使用できるので、補助電源の消費を抑えることができる。従って、このメモリ制御装置をDRAMのバックアップ回路などに適用することができる。

【0102】また、本発明の画像形成装置によれば、上述したメモリ制御装置が応用されるので、突発的な瞬断などによって主電源が断たれた場合であっても、少ない設備容量の補助電源により画像データをバックアップすることができる。このことで、画像編集処理などのために読み込まれた貴重な画像データの消失を防止できる。従って、原稿の再読み込みなどが避けられるので、事務効率を向上させること、及び、原稿の汚れなどを防ぐことができる。

【0103】この発明は原稿画像から取得した画像データを一旦メモリに蓄えて画像編集処理などを行うデジタル複写機に適用して極めて好適である。

【図面の簡単な説明】

【図1】第1の実施形態としてのメモリ制御装置10を

応用した画像形成装置100の構成例を示すブロック図である。

【図2】DRAM制御回路13の内部構成例を示す図である。

【図3】タイミング発生回路31のリフレッシュ制御部32の内部構成例を示す図である。

【図4】画像形成装置100の動作例（電源オン時）を示す動作タイムチャートである。

【図5】画像形成装置100の動作例（通常動作時）を示す動作タイムチャートである。

【図6】画像形成装置100の動作例（電源オフ時）を示す動作タイムチャートである。

【図7】第2の実施形態としての画像形成装置200の構成例を示すブロック図である。

【図8】画像形成装置200の低消費電力モード時の動作例を示す動作タイムチャートである。

【図9】本実施の形態としての画像形成装置100を応用したデジタル複写機300の構成例を示す全体ブロック図である。

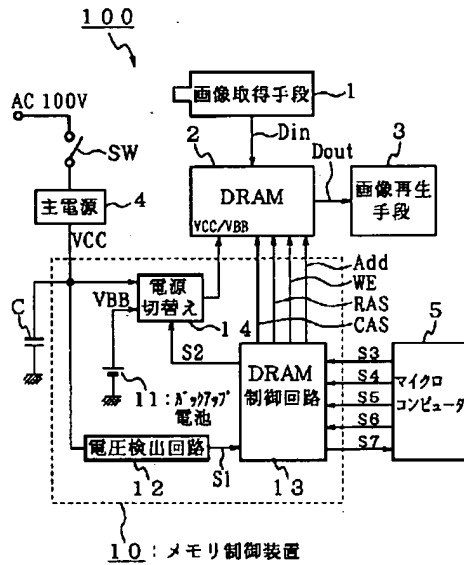
【図10】デジタル複写機300の断面の構成例を示す図である。

【符号の説明】

- 1 画像取得手段
- 2 DRAM
- 3 画像再生手段
- 4 主電源
- 6 動作確認センサ
- 7 操作部
- 10 メモリ制御装置
- 11 バックアップ電池
- 12 電圧検出回路
- 13 DRAM制御回路
- 14 電源切り替え回路
- 31 タイミング発生回路
- 32 リフレッシュ制御部
- 33 書き込み読み出し制御回路
- 34 アドレス発生部
- 35, 37 二入力NAND回路
- 70 画像形成部
- 100, 200 画像形成装置

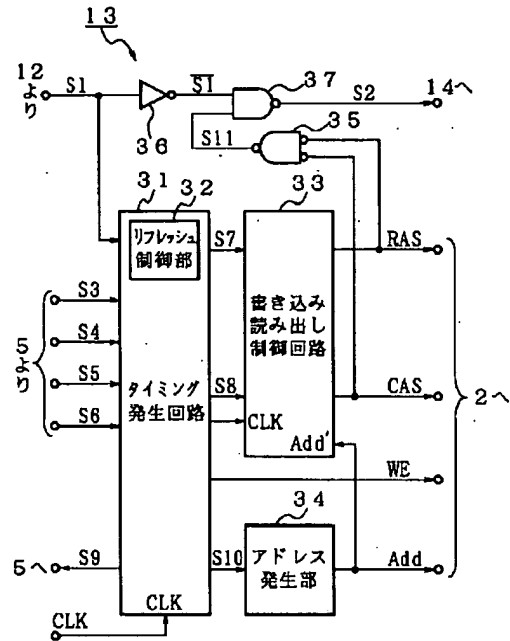
【図1】

第1の実施形態としてのメモリ制御装置10を
応用した画像形成装置100の構成例



【図2】

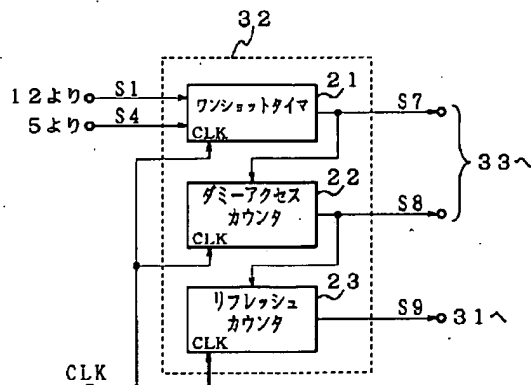
DRAM制御回路13の内部構成例



- | | |
|--------------------|------------------------|
| S1 : 電圧検出信号 | S7 : アクセス禁止信号 |
| S2 : 電源切替え信号 | S8 : ダミーアクセス設定信号 |
| S3 : リフレッシュ要求信号 | S9 : 初期化終了信号 |
| S4 : セルフリフレッシュ要求信号 | S10 : アドレス制御信号 |
| S5 : ライト要求信号 | S11 : セルフリフレッシュステータス信号 |
| S6 : リード要求信号 | |

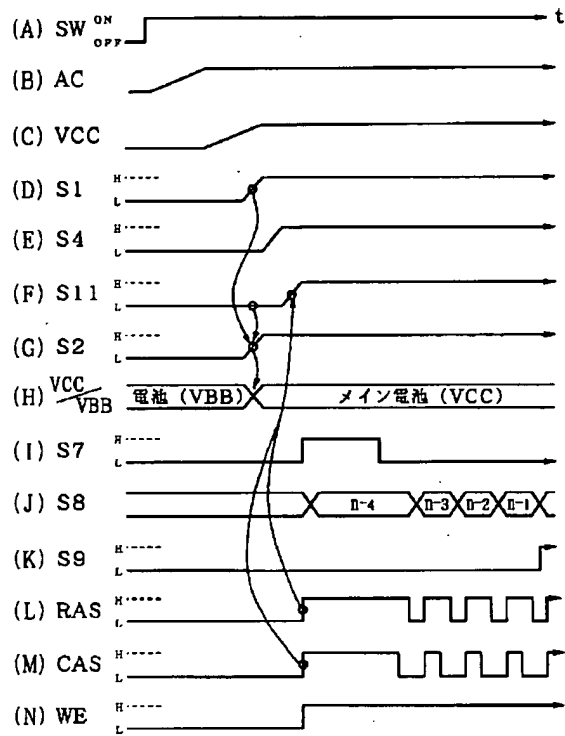
【図3】

タイミング発生回路31のリフレッシュ制御部32
の内部構成例



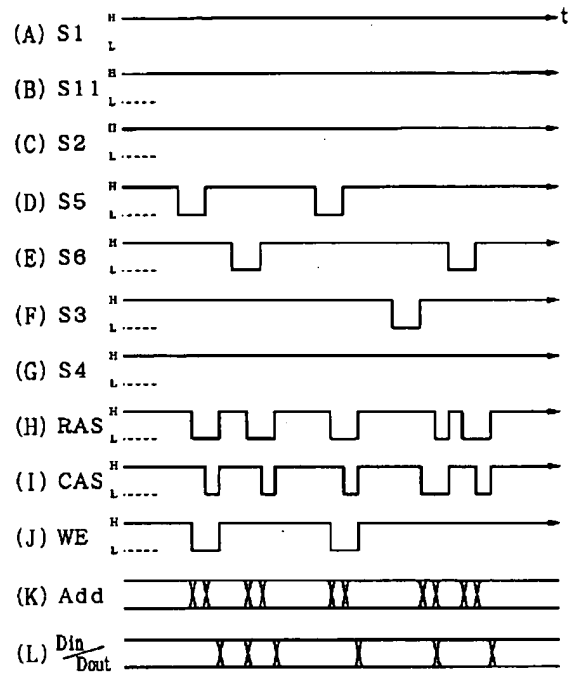
【図4】

画像処理装置100の動作例（電源オン時）



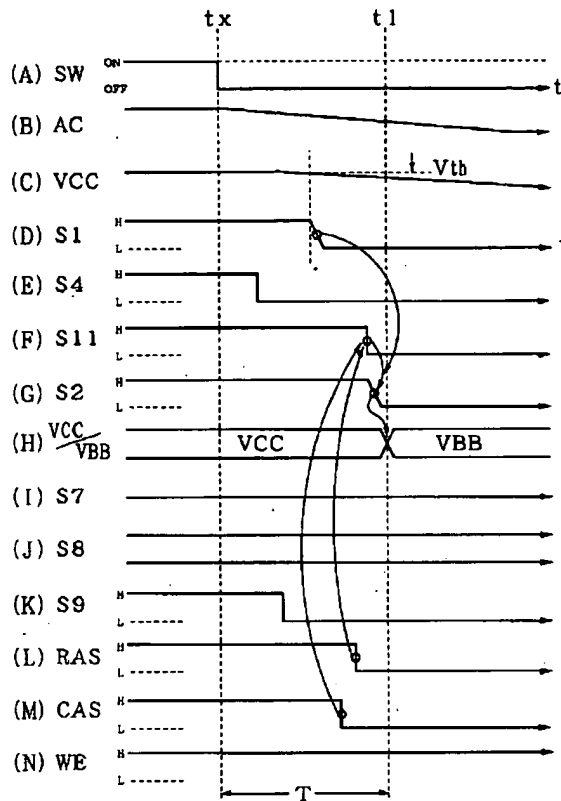
【図5】

画像処理装置100の動作例（通常動作時）



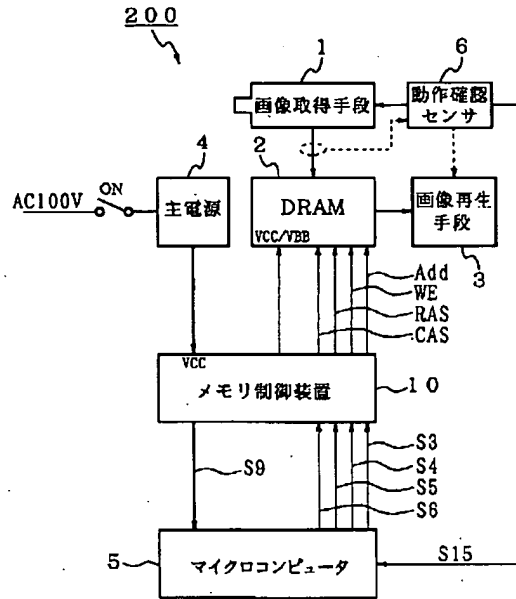
【図6】

画像処理装置100の動作例（電源オフ時）



【図7】

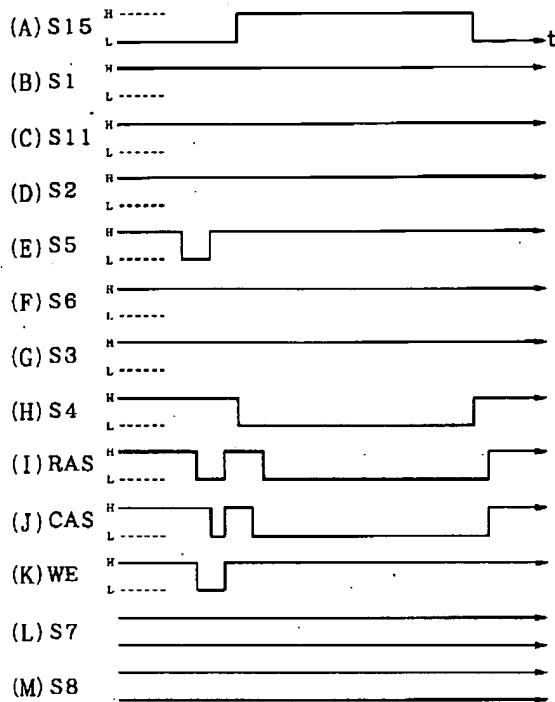
第2の実施形態としての画像形成装置200の構成例



S15: 画像処理監視信号

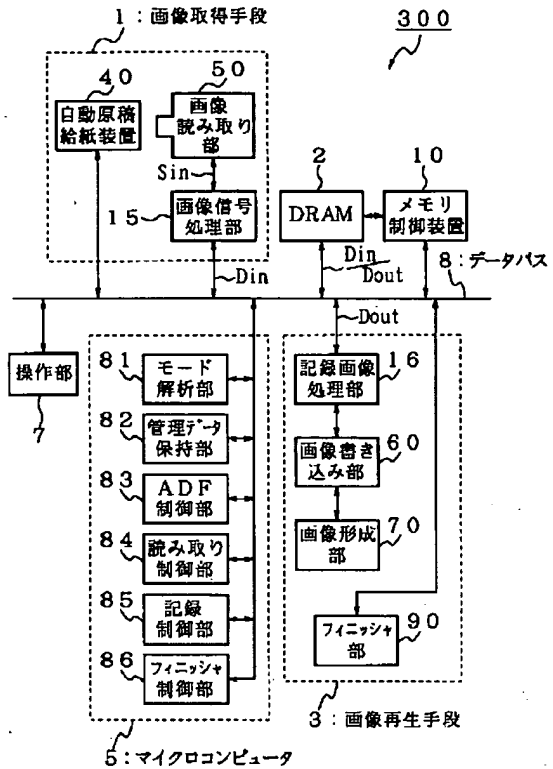
【図8】

画像処理装置200の低消費電力モード時の動作例



【図9】

画像形成装置100を応用したデジタル複写機300の構成例



デジタル複写機300の断面の構成例

